14ª Mostra da Produção Universitária
de 26 a 29 de outubro
MPU

UMA FERRAMENTA PARA O APRENDIZADO DE ALGORITMOS DE SUBSTITUIÇÃO EM SISTEMAS COM HIERARQUIA DE MEMÓRIA

SCHIVITTZ, Rafael; MADEIRA, Fabio
MEINHARDT, Cristina; BARWALDT, Regina; BUTZEN, Paulo
rafael.schivittz@furg.br

Evento: XVII Encontro de Pós-Graduação
Área do conhecimento: Ciências Exatas e da terra

Palavras-chave: memória cache; simuladores;

1 INTRODUÇÃO

A memória cache é uma memória de alto desempenho cujo objetivo é aumentar a velocidade no acesso aos dados e instruções armazenados na memória principal de sistemas computacionais [1]. Contudo, o custo de armazenamento por bit em uma memória cache é muito superior ao custo de armazenamento na memória principal [2-3]. Sistemas computacionais modernos adotam o conceito de hierarquia de memória com o objetivo de criar a ilusão de uma memória de grande capacidade e alta velocidade, com um custo próximo ao da memória mais acessível. Nestes sistemas, a memória interna é composta por níveis de memória cache e pela memória principal.

O estudo de sistemas de hierarquia de memória em arquiteturas de computadores pode tornar-se uma tarefa extremamente complexa. Isso ocorre principalmente pela dificuldade de visualização do funcionamento durante os acessos às posições de memória principal nas diversas consultas realizadas pelo processador. Com o uso de simuladores de memória cache, a execução de um alto número de exemplos pode ser realizada em menos tempo, permitindo uma maior análise dos resultados e entendimento das operações. O objetivo principal desse trabalho é o desenvolvimento de uma ferramenta didática de simulação de memória cache, que possua uma interface intuitiva e seja de fácil manipulação por qualquer usuário.

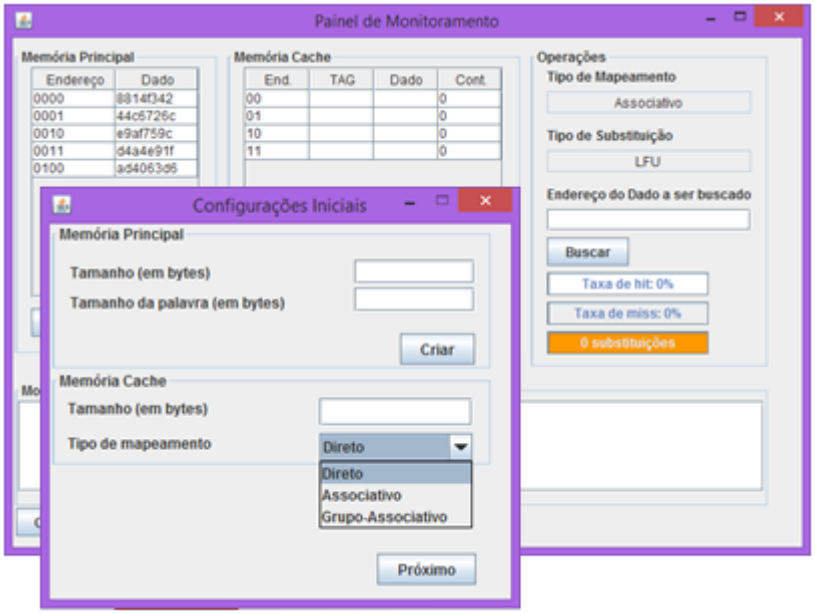
2 REFERENCIAL TEÓRICO

Como o tamanho da memória cache é muito menor que o da memória principal, é necessário o mapeamento dos blocos da memória principal para a memória cache. Além disso, é necessário saber qual dado da memória principal está na cache e o endereço do mesmo. Existem 3 técnicas utilizadas para mapear a cache: mapeamento direto, associativo e grupo-associativo [2]. No mapeamento direto com uma memória cache de tamanho N, o endereço da memória principal *Y* será alocado na posição X memória cache, de forma que X seja definido pelo resto da divisão de Y por N, e o identificador de linha (TAG) pelo resultado inteiro desta divisão. Nos mapeamentos associativo e grupo-associativo, quando a cache está cheia, é necessário que um algoritmo de substituição seja utilizado para determinar qual linha da memória cache será substituída.

3 METODOLOGIA

Neste trabalho foram implementados os 3 tipos de mapeamento e 3 algoritmos de substituição: FIFO (*First in First out*), LRU (*Least Recently Used*) e LFU (Least Frequently Used) [3]. A Figura 1 mostra a janela da ferramenta referente à configuração da cache. Nela podemos visualizar as opções de configuração disponíveis. Assim como as configurações do nível de associatividade que somente surgem quando o usuário decide optar por uma cache grupo-associativa.

Figura 1: Interface principal sobreposta pela janela de configuração.



4 CONSIDERAÇÕES FINAIS

A disponibilização de uma ferramenta para análise de comportamento de diferentes configurações do sistema de memória cache, aumenta o senso crítico do aluno dentro do aprendizado, fazendo com que o aluno possa questionar sobre quais seriam as melhores configurações no desenvolvimento de um sistema de memórias. Outro ponto positivo é de acompanhar a explicação do professor dentro de sala de aula e colocar em prática como uma tarefa de casa, para assim ampliar o aprendizado e aproveitar ao máximo a disciplina.

REFERÊNCIAS

[1]. Tanembaum, Andrew S. Structured Computer Organization. 4th edition, Prentice Hall, 1998.

[2]. Patterson, David A., Hennessy, John L. Organização e Projeto de Computadores - A Interface Hardware/Software.

[3]. Stallings, William. Arquitetura e organização de computadores. 8ª edição. Pearson, 2009.